


MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent Number: JP2000243774
Publication date: 2000-09-08
Inventor(s): TOKUSHIGE TOSHIMICHI;; TAKAI NOBUYUKI;; TAKAO YUKIHIRO;; SHINOKI HIROYUKI
Applicant(s): SANYO ELECTRIC CO LTD
Requested Patent:  JP2000243774
Application Number: JP19990046740 19990224
Priority Number (s):
IPC Classification: H01L21/60; H01L21/283; H01L21/3205; H01L21/768
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To substantially equalize heights of metal post head parts, when a chip size package is manufactured.

SOLUTION: If an insulated resin layer (r) is coated with a resin having flowability, after a predetermined leaving time elapses, the surface of the insulated resin layer (r) is flattened. For this reason, if the size of a metal post 8 is equalized, it is possible to substantially equalize heights (the height from the back face of a wafer to a metal post head part) of head parts of the metal posts 8 dotted over the entire wafer. Accordingly, the heights of the head parts of solder balls also become uniform.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-243774
(P2000-243774A)

(43) 公開日 平成12年9月8日(2000.9.8)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
H 0 1 L	21/60	H 0 1 L	6 0 4 M
	21/283		C
	21/3205		T
	21/768		Q
			6 0 3 G
審査請求 未請求 請求項の数 3 O L (全 11 頁) 最終頁に続く			

(21) 出願番号 特願平11-46740

(22) 出願日 平成11年2月24日(1999.2.24)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 徳重 利洋智

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 高井 信行

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

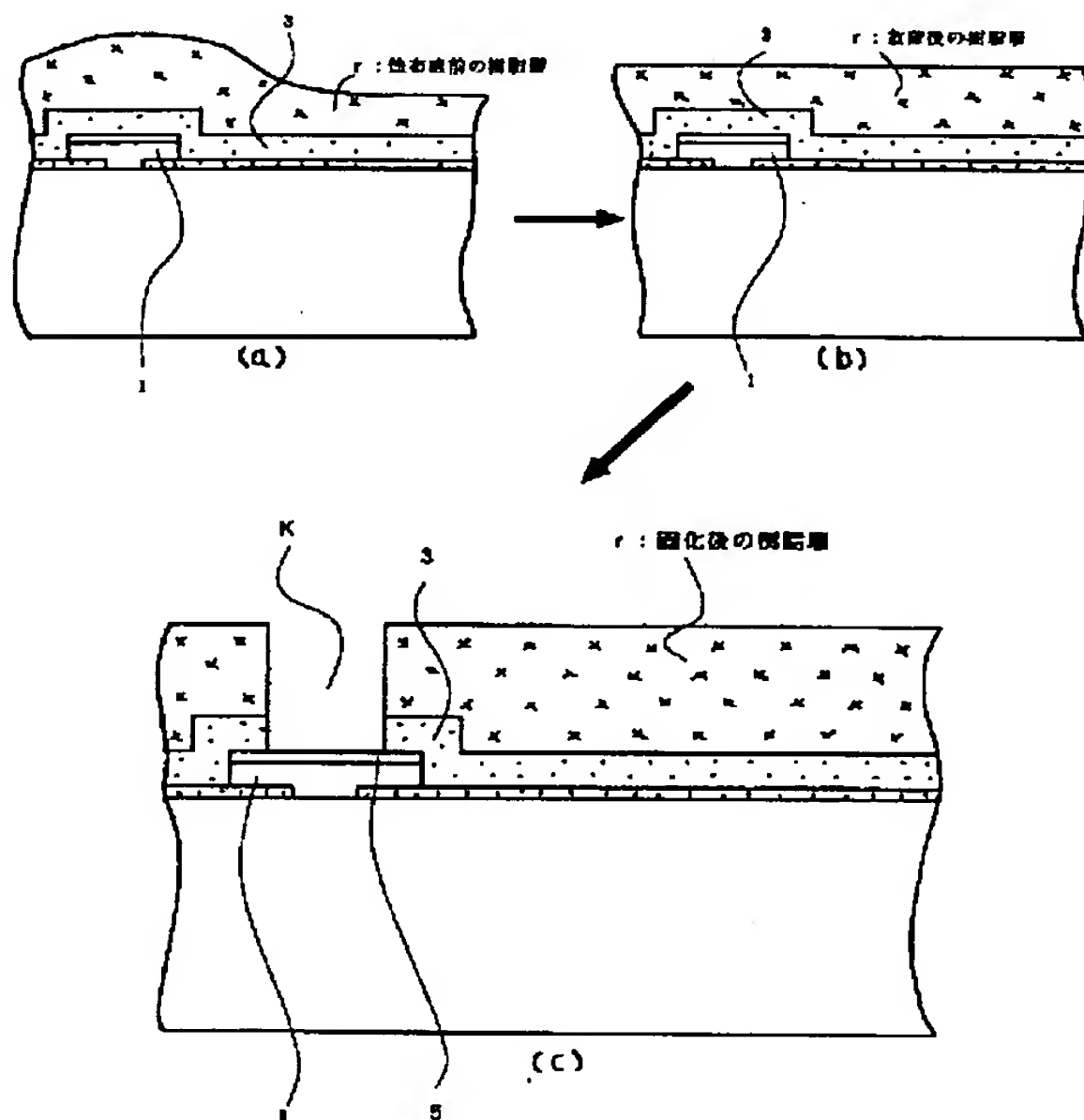
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 チップサイズパッケージの製造の際に、メタルポスト頭部の高さを実質同一にする。

【解決手段】 絶縁樹脂層 r を流動性のある樹脂で被覆すると、所定の放置時間が経過した後、絶縁樹脂層 r の表面は、フラットなる。そのため、メタルポスト 8 のサイズを同一にすれば、ウェハ全域に点在しているメタルポスト 8 頭部の高さ（ウェハ裏面からメタルポスト頭部までの高さ）を実質同一にすることができる。従って半田ボール 1 2 頭部の高さも均一となる。



【特許請求の範囲】

【請求項1】 金属電極パッドの一部を露出する第1の開口部を有した第1の絶縁層をウェハに形成し、前記第1の開口部から露出する前記金属電極パッドと接続され、ウェハ表面に延在するCuより成る配線層を形成し、前記第1の絶縁層および前記配線層を含むウェハ表面に樹脂から成る絶縁層を被覆し、前記絶縁層から露出した前記メタルポストに半田ボール（または半田バンプ）を形成し、前記ウェハを個々の半導体装置にフルカットする半導体装置の製造方法に於いて、前記配線層と当接する前記第1の絶縁層は、流動性の材料から成り、前記ウェハに被着した後、所定時間経過するとその表面が実質平坦性を持つ材料から成り、前記第1の絶縁層が平坦化された後に、前記配線層を形成する事を特徴とした半導体装置の製造方法。

【請求項2】 前記材料は、スピンオンで形成される請求項1に記載の半導体装置の製造方法。

【請求項3】 前記樹脂から成る絶縁層は、流動性の材料から成り、前記ウェハにスピンオンで被着した後、所定時間経過するとその表面が実質平坦性を持つ材料から成る請求項1または請求項2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、チップサイズパッケージとその製造方法に関する。チップサイズパッケージ（Chip Size Package）は、CSPとも呼ばれ、チップサイズと同等か、わずかに大きいパッケージの総称であり、高密度実装を目的としたパッケージである。本発明は、CSPに採用されるメタルポストとこれを被覆する樹脂に関する。

【0002】

【従来の技術】 従来、この分野では、一般にBGA（Ball Grid Array）と呼ばれ、面状に配列された複数のハンダボールを持つ構造、ファインピッチBGAと呼ばれ、BGAのボールピッチをさらに狭ピッチにして外形がチップサイズに近くなった構造等が知られている。

【0003】 また、最近では、「日経マイクロデバイス」1998年8月号 44頁～71頁に記載されたウェハーCSPがある。このウェハーCSPは、基本的には、チップのダイシング前に配線やアレイ状のパッドをウェハープロセス（前工程）で作り込むCSPである。この技術によって、ウェハープロセスとパッケージ・プロセス（後工程）が一体化され、パッケージ・コストが大幅に低減できるようになることが期待されている。

【0004】 ウェハーCSPの種類には、封止樹脂型と再配線型がある。封止樹脂型は、従来のパッケージと同様に表面を封止樹脂で覆った構造であり、チップ表面の

配線層上にメタルポストを形成し、その周囲を封止樹脂で固める構造である。

【0005】 一般にパッケージをプリント基板に搭載すると、プリント基板との熱膨張差によって発生した応力がメタルポストに集中すると言われているが、樹脂封止型では、メタルポストが長くなるため、応力が分散されると考えられている。

【0006】 一方、再配線型は、図10に示すように、封止樹脂を使わず、再配線を形成した構造である。つまりチップ51の表面にAl電極52、配線層53、絶縁層54が積層され、配線層53上にはメタルポスト55が形成され、その上に半田バンプ56が形成されている。配線層53は、半田バンプ56をチップ上に所定のアレイ状に配置するための再配線として用いられる。

【0007】 封止樹脂型は、メタルポストを100μm程度と長くし、これを封止樹脂で補強することにより、高い信頼性が得られる。しかしながら、封止樹脂を形成するプロセスは、後工程において金型を用いて実施する必要があり、プロセスが複雑になる。

【0008】 一方、再配線型では、プロセスは比較的単純であり、しかも殆どの工程をウェハープロセスで実施できる利点がある。しかし、なんらかの方法で応力を緩和し信頼性を高めることが必要とされている。

【0009】 また図11は、図10の配線層53を省略したものであり、Al電極52が露出した開口部を形成し、この開口部には、メタルポスト55とAl電極52との間にバリアメタル58を少なくとも一層形成し、このメタルポスト55の上に半田ボール56が形成されている。

【0010】

【発明が解決しようとする課題】 しかし図10では、配線層53の下層の絶縁膜は、実質的にこの下層の膜の凹凸をそのままトレースして形成するため、チップ全域に形成される配線層53は、前記凹凸に従って形成される。従ってメタルポスト55の高さが一定であっても、ウェハー全面に凹凸が形成されるため半導体基板裏面からメタルポスト55までの高さが、バラバラとなる。

【0011】 図10は、例えばプリント基板やセラミック基板等の実装基板に半田付けされるが、半導体基板からの高さがバラバラであるため、半田ボールが実装基板の導電パターンに電氣的に接続されるものと、接続されないものが発生する問題があった。

【0012】 更には、軽薄短小の傾向からウェハー裏面を削ることもあり、この場合、図12～図13で説明する金型に装着した場合、ウェハーが割れる問題もあった。

【0013】 これは図12に示すように、前記半導体ウェハーを装着した後、金型60、61、62内に樹脂63を入れ、加圧溶融する。半導体チップ51は、メタルポスト55が多数立てられた状態で金型に配置され、樹脂63が金型により押圧されてウェハー全面に被覆される。

ここで符号64は、金型から剥離するためのシートである。

【0014】しかし、メタルポスト頭部が全て金型やシート64に当接されるように押圧されると、ウェハに歪み加わりウェハが割れる問題もあった。特にウェハ裏面にゴミ(数 μm ~数十 μm の金属粒子)等が存在する場合があり、この場合はこのゴミが支点に成ってウェハが押圧されるため、より割れやすい傾向があった。

【0015】

【課題を解決するための手段】本発明は上記の課題に鑑みてなされ、第1に、配線層と当接する第1の絶縁層を、流動性の材料から成し、前記ウェハに被着した後、所定時間経過するとその表面が実質平坦性を持つ材料から成し、前記第1の絶縁層が平坦化された後に、前記配線層を形成する事で解決するものである。

【0016】例えば、パッシベーション膜3は、シリコン基板の凹凸をトレースする。しかし、この上に、硬化前の所定の粘度を有した樹脂を、前記パッシベーション膜の頭部が完全に越える膜厚で被覆すれば、流動性を有するが故にその表面をウェハ全域に渡って平坦化できる。従って硬化後の平坦な樹脂層rの上に配線層が形成されるため、半導体チップに複数のメタルポストが形成されても、基板裏面からメタルポスト頭部までの高さは全て均一となる。

【0017】また材料を、スピンオンで形成することで解決するものである。

【0018】スピンオンは、通常の半導体装置の製造方法において多数採用されている技術であり、別途設備もなく簡単にできる。

【0019】また前記樹脂から成る絶縁層を、流動性の材料から成し、前記ウェハにスピンオンで被着した後、所定時間経過するとその表面が実質平坦性を持つ材料から成すことで解決するものである。

【0020】前述したように、メタルポスト頭部の高さはウェハ裏面から全て均一に形成できるが、ウェハに反りが発生する場合がある。しかし金型法を採用せずに、スピンオンで形成するため、押圧固化が不要となり、ウェハクラックを防止することができる。

【0021】また前述したスピンオンの代わりに、ディスペンサでウェハに樹脂を塗布しても可能である。

【0022】

【発明の実施の形態】次に、本発明の実施形態について説明する。

【0023】図9に於いて、図番1は、通常のワイヤボンディングタイプのICチップに於いて、最上層のメタル(ボンディングパッドとしても機能する所)の部分であり、このA1電極1のコンタクトホールCが形成される層間絶縁膜を図番2で示す。ここで符号1は、A1電極と名称を付けたが、材料としてはAu、最近ではCuも考えられる。あくまでもボンディングが可能な材料で

有れば特に材料には限定されない。

【0024】またこのコンタクトホールCの下層には、メタルが複数層で形成され、例えばトランジスタ(MOS型のトランジスタまたはBIP型のトランジスタ)、拡散領域、ポリSiゲートまたはポリSi等とコンタクトしている。

【0025】ここで、本実施例は、MOS型、BIPでも実施できる事は言うまでもない。

【0026】また本構造は、一般には一層メタル、2層メタル…と呼ばれるICである。

【0027】つまり図示していないが、2層、3層…とメタルが増加するに連れて、層間絶縁膜2の下層には、各層のメタルや絶縁層が形成され、これらの界面が後述する第1の溝TCに露出している。

【0028】更には、パッシベーション膜を図番3で示す。ここでパッシベーション膜3は、Si窒化膜、エポキシ樹脂またはポリイミド等であり、更にこの上には、絶縁樹脂層rが被覆されている。

【0029】ここでパッシベーション膜として樹脂を採用する場合、絶縁樹脂層rと同一材料でも良い。

【0030】本発明の特徴は、この絶縁樹脂層rにある。後述するが、流動性を有する硬化前の樹脂が被覆されているので、所定の時間この樹脂を放置することで絶縁樹脂層rの表面をフラットにできる。

【0031】例えば、絶縁樹脂層rは、後述するように比較的低粘度でスピンオン等で被覆し、放置させることでその表面をフラットにすることができる。そのため、配線層7をフラットにすることができ、ウェハ裏面から半田ボールまでの高さを一定にさせることができる。

【0032】また図12のようにシート付きの樹脂を採用する場合、硬化前に金型でフィルムを加圧した際、メタルポスト8頭部の高さが均一であるので全てのメタルポスト頭部をフィルム64に当接でき、精度の高いメタル露出が可能となる。またメタルポスト頭部が全てフィルムに当接しないと、メタルポスト全てが露出されない。そのため、ある程度の加圧が必用であるが、絶縁樹脂層rがフラットになり、メタルポスト頭部とウェハ裏面までの距離が実質的に全て均一となるため、金型の押圧力も小さくてすむ。

【0033】尚、メタルポストの詳細はプロセスにて説明する。

【0034】またA1電極1上には、窒化Ti膜5が形成されている。

【0035】パッシベーション膜3と絶縁樹脂層rには、窒化Ti膜5を露出する開口部Kが形成され、ここには、配線層7のメッキ電極(シード層)としてCuの薄膜層6が形成される。そしてこの上には、Cuメッキにより形成される配線層7が形成される。

【0036】そして、配線層7を含むチップ全面には、樹脂から成る樹脂層Rが形成される。ただし、図面上で

は省略しているが、樹脂層Rと配線層7、樹脂層Rとメタルポスト8の界面にはSi₃N₄膜が設けられても良い。

【0037】樹脂層Rは、図12に述べたように、金型にて封止されても良い。また金型内のゴミ（本発明が解決しようとする課題の欄で述べた）が原因でウェハが割れやすいので、前記絶縁樹脂層rと同様に、流動性の樹脂で、放置によりその表面がフラットになるものでもよい。

【0038】この場合、両方法共に熱硬化性、熱可塑性樹脂であれば実施可能であり、特に熱硬化性樹脂として、アミック酸フィルム、ポリイミド系、エポキシ系の樹脂が好ましい。また熱可塑性樹脂であれば、熱可塑性ポリマー（日立化成：ハイマル）等が好ましい。またアミック酸フィルムは30～50%の収縮率である。

【0039】ここで樹脂Rは、液状のアミック酸を主材料としたものが用意され、ウェハ全面にスピンオンまたはラミネート（真空）される。厚さは50～150μm程度である。その後、この樹脂Rは、熱硬化反応により重合される。温度は、300℃以上である。しかし熱硬化前のアミック酸より成る樹脂は、前記温度の基で活性に成り、Cuと反応し、その界面を悪化させる問題がある。しかし、配線層の表面にSi₃N₄膜を被覆する事により、このCuとの反応を防止することができる。ここでSi₃N₄膜の膜厚は、1000～3000Å程度である。

【0040】またSi₃N₄膜は、バリア性の優れた絶縁膜で、SiO₂膜は、Si₃N₄膜に比べバリア性に劣る。しかしSiO₂膜を採用する場合は、Si₃N₄膜よりもその膜厚を厚くする必要がある。またSi₃N₄膜は、プラズマCVD法で形成できるので、そのステップカバレッジも優れ、好ましい。更に、メタルポスト8を形成した後、樹脂層Rを被覆するので、前記Si₃N₄膜を形成するとCuから成る配線層7とアミック酸を主材料とする樹脂層の反応を防止するばかりでなく、Cuから成るメタルポスト8とアミック酸を主材料とする樹脂層Rの反応も防止できる。

【0041】前記樹脂Rは、硬化前の流動性を有する状態の樹脂層Rを硬化すると、硬化の際中に収縮し、図7の様に大幅にその膜厚が減少するものである。従って樹脂層Rの表面は、メタルポスト8の頭部よりも下端に位置し、メタルポスト8が露出されることになる。従って、樹脂層Rを削り、頭部を露出させる必要がない。またこの研磨工程で頭部を均一に露出させることは、非常に難しい制御を必要とするが、樹脂の収縮により簡単に露出させることができる。

【0042】本工程は、もちろん収縮率の小さい樹脂Rを塗布し、硬化後にメタルポスト8の頭部を露出させるために研磨しても良い。

【0043】従って、配線層7の端部にメタルポスト8

の頭部が顔を出し、メタルポスト8の頭部にバリアメタルを形成することができる。ここでは、Ni10、Au11が無電解メッキで形成されている。

【0044】Cuから成るメタルポスト8の上に直接半田ボールが形成されると、酸化されたCuが原因で半田ボールとの接続強度が劣化する。また酸化防止のためにAuを直接形成すると、Auが拡散されるため、間にNiが挿入されている。NiはCuの酸化防止をし、またAuはNiの酸化防止をしている。従って半田ボールの劣化および強度の劣化は抑制される。

【0045】また、メタルポスト8の頭部に、半田ボール12または半田バンプが形成される。

【0046】ここで半田ボールと半田バンプの違いについて説明する。半田ボールは、予めボール状の半田が別途用意され、メタルポスト8に固着されるものであり、半田バンプは、配線層7、メタルポスト8を介して電解メッキで形成されるものである。半田バンプは、最初は厚みを有した膜として形成され、後熱処理により球状に形成されるものである。

【0047】ここでは、図6の工程でシード層が取り除かれるので、電解メッキは採用できず、実際は半田ボールが用意される。

【0048】最後にウェハ状態で用意されているチップ個々の周囲には、TCで示す第1の溝が形成され、この溝に絶縁樹脂層Rが埋め込まれている。ここでは工程の簡略化から樹脂層Rと同一のものが形成されているが、工程の簡略化を考慮しなければ同一である必要はない。

【0049】この溝TCおよび樹脂層は、特徴となる所であり、第1の溝TCよりも幅狭でなるダイシングブレードDCによりフルカットされる。つまり第1の溝TCとフルカットラインDLの間には樹脂層が配置され、耐湿劣化を引き起こす各層の界面端部を覆うことができ、素子劣化の防止が可能となる。

【0050】また第2の特徴は、被覆材Hを設けることにある。メタルポスト8が配線層7と当接する所の角部（図9では符号Hで示される所）には、どうしてもスガ形成されやすい。これは、角部Hの奥まで樹脂層Rが行き届かないためである。そのため低粘度のSOGや樹脂をウェハ全面に塗布すれば、この角部を埋めなだらかにする事ができるため、この後に樹脂層Rを被覆すればスを防止する事ができる。

【0051】またこの被覆材を第1の溝TCにも形成できる。特にこの第1の溝TCの側壁は、複数の界面が露出しているので、この界面をカバーすることができ、樹脂層Rと相まってチップの耐環境性を向上させることができる。

【0052】続いて図9の構造について図1よりその製造方法を説明する。

【0053】まず、Al電極1までを有するLSIがマトリックス状に形成された半導体基板（ウェーハ）を準

備する。ここでは、前述したように1層メタル、2層メタル・・・のICで、例えばトランジスタのソース電極、ドレイン電極が一層目のメタルとして形成され、ドレイン電極とコンタクトしたAl電極1が2層目のメタルとして形成されている。

【0054】ここではドレイン電極が露出する層間絶縁膜2の開口部Cを形成した後、ウェハ全面にAlを主材料とする電極材料、窒化Ti膜5を形成し、ホトレジストをマスクとして、Al電極1と窒化Ti膜5を所定の形状にドライエッチングしている。

【0055】ここでは、パッシベーション膜3を形成し、この後開口した開口部Cの上からバリアメタルを形成するのと違い、バリアメタルとしての窒化Ti膜も含めてホトレジストで一度に形成でき、工程数の簡略が可能となる。

【0056】また窒化Ti膜5は、後に形成するCuの薄膜層6のバリアメタルとして機能している。しかも窒化Ti膜は、反射防止膜として有効であることにも着目している。つまりパターンニングの際に使用されるレジストのハレーション防止としても有効である。ハレーション防止として最低1200Å～1300Å程度必要であり、またこれにバリアメタルの機能を兼ね備えるためには、2000Å～3000Å程度が好ましい。これ以上厚く形成されると、今度は窒化Ti膜が原因でストレスが発生する。また窒化Ti膜は樹脂との接着性が悪いため、樹脂層rとの接触は好ましくない。

【0057】またAl電極1と窒化Ti膜5がパターンニングされた後、全面にパッシベーション膜3が被覆される。パッシベーション膜として、ここではSi3N4膜が採用されているが、ポリイミド等も可能である。(以上図1参照)

続いて、パッシベーション膜3の表面に絶縁樹脂層rが被覆される。この絶縁樹脂層は、ここでは、ポジ型の感光性ポリイミド膜が採用され、約3～5μm程度が被覆されている。そして開口部Kが形成される。

【0058】この感光性ポリイミド膜を採用することで、図2の開口部Kのパターンニングに於いて、別途ホトレジストを形成して開口部Kを形成する必要がなくなり、ガラス製のホトマスク、メタルマスクの採用により工程の簡略化が実現できる。もちろんホトレジストでも可能である。

【0059】しかもこのポリイミド膜は、図2(a)、(b)で示すように平坦化の目的でも採用されている。つまり半田ボール12の高さが全ての領域において均一である為には、メタルポスト8の高さが全てに於いて均一である必要があり、配線層7もフラットに精度良く形成される必要がある。その為にポリイミド樹脂を塗布し、ある粘度を有した流動性を有する樹脂である故、硬化前に所望の時間放置することでその表面をフラットにできるメリットを有する。

【0060】つまり(a)で示したように、流動性があり、所定時間の放置によりその表面がフラットになる樹脂を被覆する。これはスピンオンでもディスペンサで塗布しても良い。この方法で被覆された樹脂が、図の塗布直前の樹脂層rである。

【0061】この樹脂層rは、ウェハの凹凸の最高部を完全に越える程度の膜厚で被覆され、所定時間の放置によりその流動性から表面がフラットになる。これが(b)の放置後の絶縁樹脂層rである。

10 【0062】従って絶縁樹脂層rがフラットになることで、配線層7もフラットに形成される。

【0063】ここでAl電極1はLSIの外部接続用のパッドも兼ね、半田ボール(半田バンプ)から成るチップサイズパッケージとして形成しない時は、ワイヤボンディングパッドとして機能する部分である。(以上図2参照)

続いて全面にCuの薄膜層6を形成する。このCuの薄膜層6は、後に配線層7のメッキ電極となり、例えばスパッタリングにより約1000～2000Å程度の膜厚で形成される。

20 【0064】続いて、全面に例えばホトレジスト層PR1を塗布し、配線層7の形成領域に対応するホトレジストPR1を取り除く。(以上図3参照)

続いて、このホトレジストPR1の開口部に露出するCuの薄膜層6をメッキ電極とし、配線層7を形成する。この配線層7は機械的強度を確保するために2～5μm程度に厚く形成する必要がある。ここでは、メッキ法を用いて形成したが、蒸着やスパッタリング等で形成しても良い。この蒸着やスパッタリングを採用する場合は、シード層がいないため、Cuの薄膜層6は、不要である。

30 【0065】この後、ホトレジスト層PR1を除去する。前述したように、絶縁樹脂層rがフラットであるため、ウェハに数多く点在している配線層7は、全てフラットに成る。(以上図4参照)

続いて、メタルポスト8が形成される領域を露出したホトレジストPR2を形成し、この露出部に電解メッキでCuのメタルポスト8を形成する。これもCuの薄膜層6がメッキ電極として活用される。このメタルポストは、30～150μm程度の高さに形成される。このメタルポスト8の高さは、チップサイズパッケージを固着する実装基板の熱膨張係数により調整される。つまりポストの高さが高いほど、膨張により発生する実装基板の応力はより吸収できる。

【0066】ここでも電解メッキメッキ以外の方法として、スパッタリングが考えられる。

【0067】ここで第1の溝TCの形成タイミングは、色々と考えられるが、第1のタイミングとしては、メタルポストの形成後が考えられる。ここでは、ホトレジストPR2に第1の溝TCの形成予定ラインが形成されて

いれば、この予定のTCの露出部に沿ってダイシングが可能となる。また別途第1の溝TCのみを露出させるホトレジストを形成すれば、メタルポスト8がレジストで保護されているので、エッチングによってもダイシングによっても形成できる。(以上図5参照)

続いて、ホトレジストPR2を除去し、配線層7をマスクとしてCuの薄膜層6を除去する。またここではウェハ全面に粘度の低いSOG膜や液状レジストを例えばスピノンで形成しても良い。この時、スの形成されやすい角部にこの角部をなだらかにする被覆部Hが形成される。また第1の溝TCの側壁に露出する界面にも極薄い膜が被覆される。

【0068】ここでは簡単な製法としてスピノンを採用したが、低温成膜可能なプラズマCVDでSiO₂膜やTEOS膜を形成しエッチバックしても良い。

【0069】また、配線層7、メタルポスト8も含めて全表面にプラズマCVD法でSi₃N₄膜被着してからこの被覆膜を形成しても良い。これは、後の工程で形成される硬化前の被覆膜HとCuが熱により反応する。そのためこの界面が劣化する問題を有している。従って配線層7、メタルポスト8は、全てこのSi₃N₄膜でカバーする必要がある。このSi₃N₄膜は、界面の劣化が発生しない場合は、もちろん省略が可能である。

【0070】また、メタルポスト8を形成した後に、Si₃N₄膜を形成すれば、配線層7、メタルポスト8も含めてカバーすることができる。またパターンニングされて露出している側面Mも一緒に保護する必要があるが、ここでは、両者をパターンニングした後にSi₃N₄膜を被覆するので、側面Mも一緒に保護される。

【0071】前述したように第1の溝TCの形成タイミングとして、前記Si₃N₄膜を形成した後でも良い。

【0072】つまりSi₃N₄膜で全面を保護しているので、この状態で第1の溝TCをダイシングしたり、またはエッチングできる。またSi₃N₄膜がウェハ全面に形成されてあるため、メタルポスト8の酸化を防止することができる。

【0073】またSi₃N₄膜が設けられない場合でも、樹脂層Rを第1の溝に埋め込む必要から、樹脂層Rを被覆する前に第1の溝TCを形成する必要がある。(以上図6参照)

続いて樹脂層Rを全面に塗布する。

【0074】この樹脂は、最初は流動性のあるもので、図7(a)のように絶縁樹脂層Rの表面は、凹凸を有するが、所定の時間放置されることでフラットになる。

【0075】また図7(b)に示すように、熱硬化反応が終わるとその膜厚が大きく減少するものを採用しても良い。

【0076】この樹脂は、流動性があるため硬化前に於いてフラット性を実現でき、また膜厚の減少故に、メタルポスト頭部より下端に位置される。

【0077】また絶縁樹脂層R、rは、次のメリットもある。一般に粘性のある樹脂をディスペンサで塗布すると、前もって脱泡してあっても中に気泡を取り込んでしまう問題がある。気泡を取り込んだまま熱硬化すると、これからの工程やユーザー側での高温雰囲気使用で気泡が破裂する問題がある。

【0078】本工程では、スピノンで塗布し、一回のスピノンで20~30μm程度の膜厚に形成できるようにその粘性を調整してある。この結果、この膜厚よりも大きな気泡は、膜の厚みが薄い故に弾けて消える。またこの膜厚よりも小さい気泡も、スピノンの遠心力で外部へ飛ばされる樹脂と一緒に外に飛ばされ、気泡無しの膜が形成できる。

【0079】また絶縁樹脂層Rは、膜厚として50μm~100μm程度を必要とし、この場合、前述した原理を採用し、スピノンで複数回に分けて塗布し、気泡を取り除きながら形成することができる。

【0080】もちろんスピノンを採用せずに、ディスペンサで塗布しても良い。

【0081】更に、本絶縁樹脂層Rのポイントは、硬化の際に収縮することである。一般に樹脂は、硬化後に於いて、ある程度の収縮をしている。しかし本絶縁樹脂層Rは、ベーク中に収縮し、絶縁樹脂層Rの表面がメタルポスト8の頭部よりも下端に位置される。従ってメタルポスト8の頭部が露出されるので、半田ボールの固着が可能となる。

【0082】また半田ボールの強度を高めるためには、メタルポスト8の側面も含めてメタルポスト頭部の露出率を大きくする必要があるが、これも絶縁樹脂層Rの塗布量をコントロールすることで露出率をコントロールすることができる。

【0083】また硬化した後、メタルポスト8の頭部に極薄い膜が残存する場合もあるが、この場合は、簡単にその表面を研磨またはプラズマアッシングすればよい。特に前述したようにメタルポストの高さが均一になっているので、フラット性のある研磨板を採用すれば、全ての頭部をクリーンにできる。

【0084】また絶縁樹脂層Rを被覆した後、研磨できる程度に半硬化し、メタルポスト8の頭部近傍まで研磨してから、完全に硬化しても良い。この場合、メタルポスト8の頭部には極薄い膜しか残存しないので、絶縁樹脂層Rの収縮率が小さくても、絶縁樹脂層の収縮でメタルポストを露出させることができる。つまり樹脂の収縮率により、メタルポスト8の上に配置できる膜厚が決まるため、それに応じて研磨するか、しなくてすむか、またどの程度研磨するかを決定しメタルポストを露出させればよい。

【0085】また被覆膜H、前記Si₃N₄膜が形成される場合は、メタルポストの頭部にその膜が形成されているので、この場合は、ウェットエッチング、ドライエッ

チングまたは研磨で取り除かれる。

【0086】またこの樹脂層Rは、図12に示すように、図6の状態のウェハを金型60、61、62に実装し、樹脂層Rを金型にて押圧封止しても良い。この場合、剥離性が考慮されて接着性が非常に小さいシート64が設けられる。

【0087】この場合、課題の欄にも説明したように、絶縁樹脂層rがフラットになるため、メタルポスト8の頭部も全域に渡り均一な高さとなる。従って、フィルムにメタルポスト8の頭部が全て当接され、または当接されなくても少しの押圧力で当接可能であるため、フィルムの剥離の後、メタルポスト頭部を全て露出させることができる。

【0088】更に露出したメタルポスト8にNi10とAuがメッキされる。ここではCuの薄膜層6が配線層7をマスクとして取り除かれているので、無電解メッキが採用され、Niが約1μm、Au11が約5000Åで形成される。

【0089】メタルポスト頭部の上層まで絶縁樹脂層を塗布し、これを研磨してゆくと、メタルポストの頭出しが非常に難しい。またAuは、5000Å程度の膜厚で最上層にあるため、フラットな研磨が実現されなければ、あるポストはAuが出ており、また別のポストは、Auの上に絶縁樹脂層がかぶさり、また別のポストはAuが削られている状態を作ってしまう。つまりNiの酸化防止も兼ねているため、半田ボールの固着ができてい

る所、弱い所、全くできない所が発生する。

【0090】本発明は、メタルポスト8が露出しているので、最終的にはバリアメタル10、11が精度高く形成でき、半田ボール12の固着性も良好になる。

【0091】この樹脂層Rは、収縮型で説明したが、前述しているように研磨しても良い。つまり樹脂層Rでメタルポスト8を完全に覆い、その後メタルポスト8が露出されるまで研磨しても良い。この研磨工程も樹脂層Rが第1の溝を埋めているので、第1の溝が原因で生じるクラック等を防止することができる。(以上図7参照)

更に図示していないがウェハ表面を保護シートで覆い、矢印のようにバックグランドし、ウェハの厚みを薄くする。(以上図8参照)

最後に、用意した半田ボール12を位置合わせして搭載し、リフローする。そして、半導体基板をダイシング工程により、スクライブラインに沿ってチップに分割し、チップサイズ・パッケージとして完成する。

【0092】ここで半田を溶融するタイミングは、ダイシングの前である。

【0093】このダイシングは、特徴となるところであり、第1の溝TCよりも幅狭のダイシングブレードDCを用意し、これを用いて第1の溝のほぼセンターでフルカットする。第1の溝TCは、例えば半導体基板まで到達しているハーフカットで実現されているため、半導体

基板から上層に形成される各層の界面端部は、前記被覆樹脂H、樹脂層Rで保護されてCSPとなる。

【0094】また次の特徴も有する。つまり図12、図13で実現するチップサイズパッケージは、極薄いウェハを金型内に装着し、樹脂63を押圧して封止する。しかしウェハ裏面に小さな粒子が存在すると、ウェハがその粒子を支点として割れてしまう問題があった。しかし樹脂層Rをスピノンで形成する場合は、この問題が無くなる。(以上図9参照)

10 以上、本発明は、再配線型で説明してきたが、樹脂封止型でも実施できることは言うまでもない。

【0095】

【発明の効果】本発明によれば、第1に、配線層と当接する第1の絶縁層を、流動性の材料から成し、前記ウェハに被着した後、所定時間経過するとその表面が実質平坦性を持つ材料から成し、前記第1の絶縁層が平坦化された後に、前記配線層を形成する事で、半導体チップに複数のメタルポストが形成されても、基板裏面からメタルポスト頭部までの高さは全て均一となる。

20 【0096】また材料を、スピノンで形成することで、別途設備もなく簡単にできる。

【0097】また前記樹脂から成る絶縁層を、金型法を採用せずに、スピノンで形成するため、押圧固化が不要となり、ウェハクラックを防止することができる。

【図面の簡単な説明】

【図1】 本発明の実施形態に係る半導体装置の製造方法を説明する図である。

【図2】 本発明の実施形態に係る半導体装置の製造方法を説明する図である。

30 【図3】 本発明の実施形態に係る半導体装置の製造方法を説明する図である。

【図4】 本発明の実施形態に係る半導体装置の製造方法を説明する図である。

【図5】 本発明の実施形態に係る半導体装置の製造方法を説明する図である。

【図6】 本発明の実施形態に係る半導体装置の製造方法を説明する図である。

【図7】 本発明の実施形態に係る半導体装置の製造方法を説明する図である。

40 【図8】 本発明の実施形態に係る半導体装置の製造方法を説明する図である。

【図9】 本発明の実施形態に係る半導体装置の製造方法を説明する図である。

【図10】 従来のチップサイズパッケージを説明する図である。

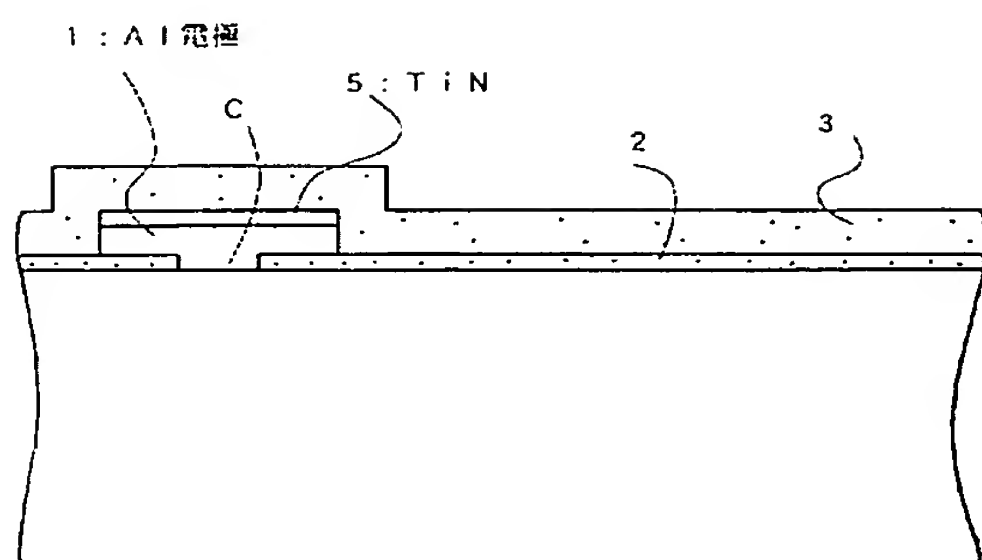
【図11】 従来のチップサイズパッケージを説明する図である。

【図12】 金型を採用した半導体装置の製造方法を説明する図である。

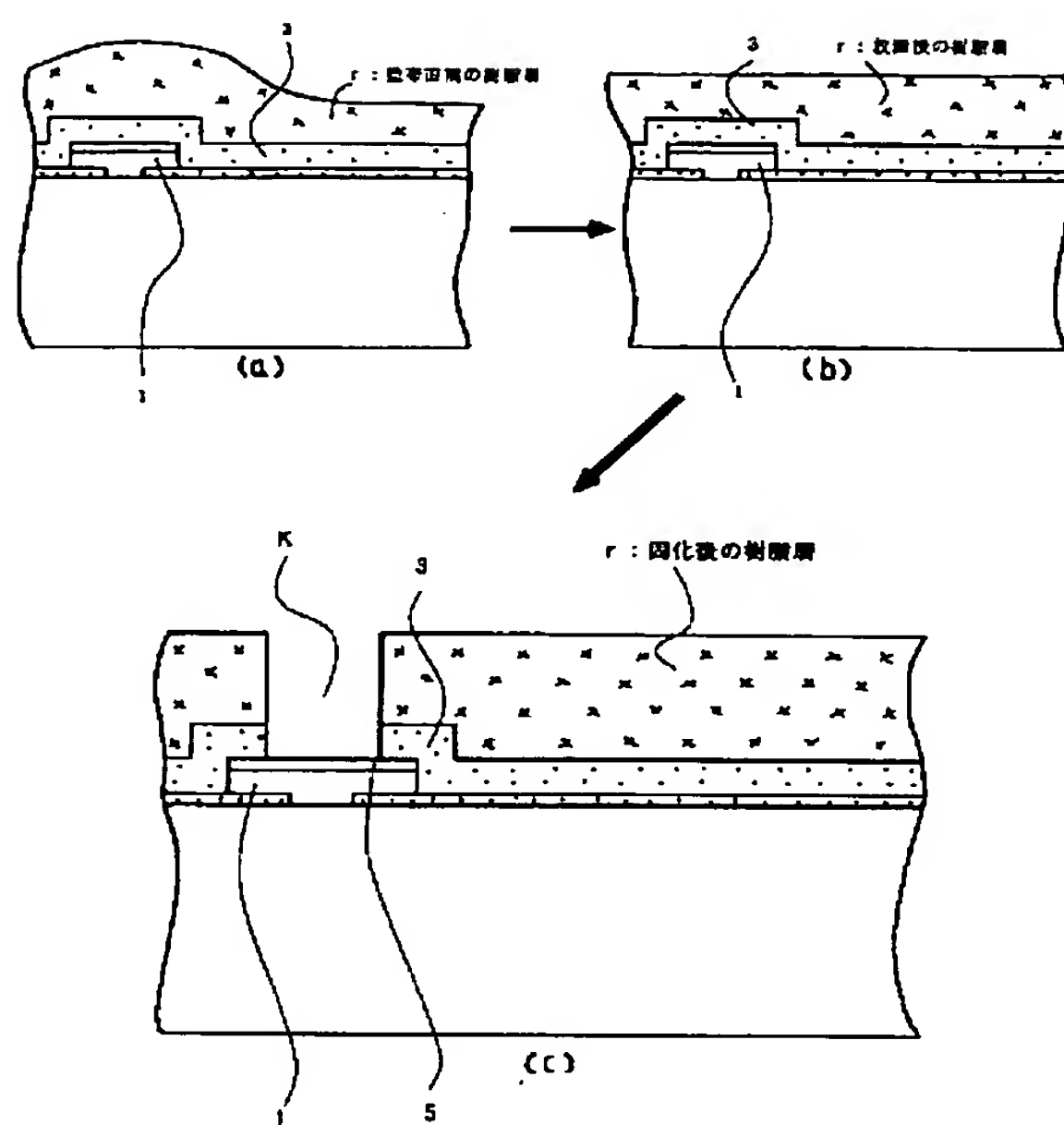
50 【図13】 金型を採用した半導体装置の製造方法を説

明する図である。

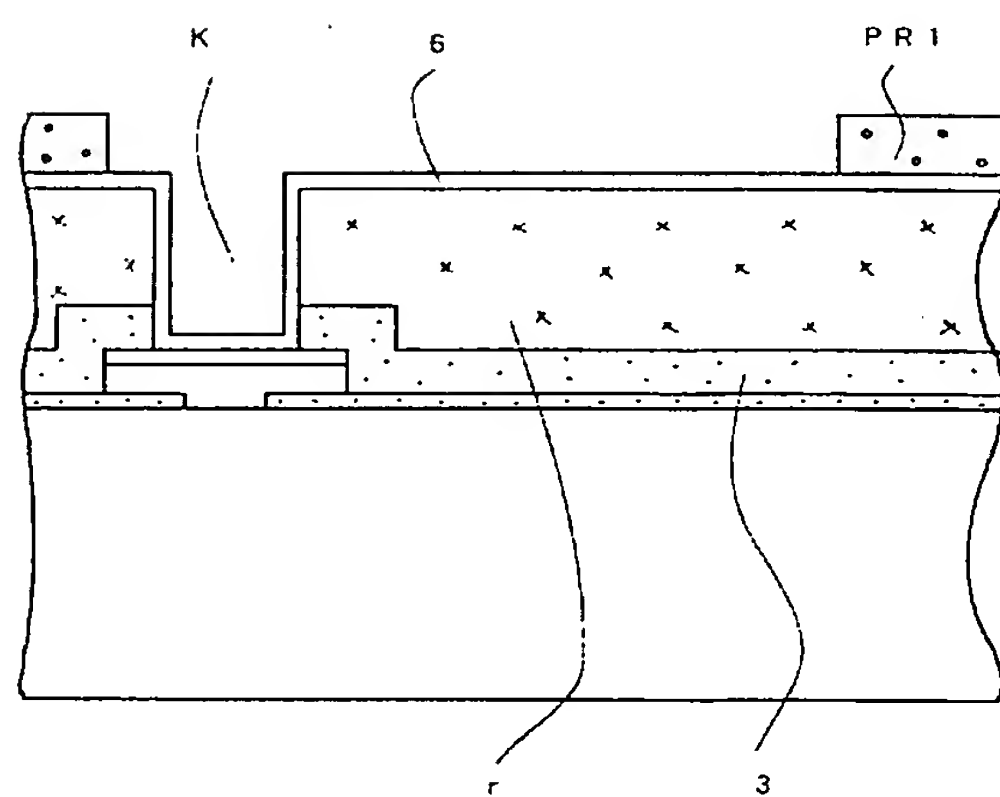
【図 1】



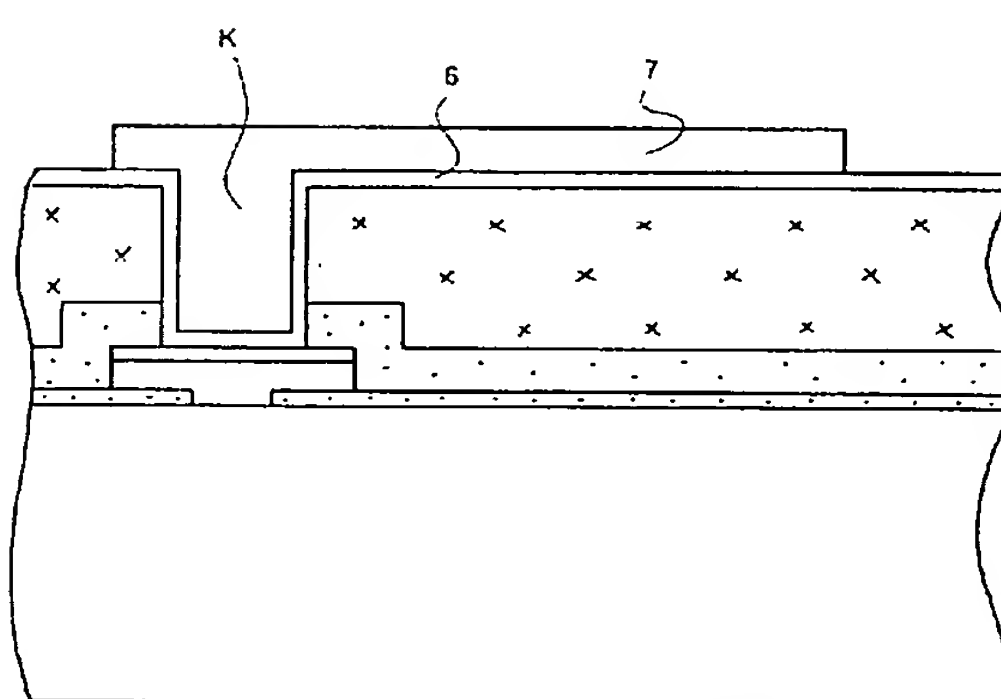
【図 2】



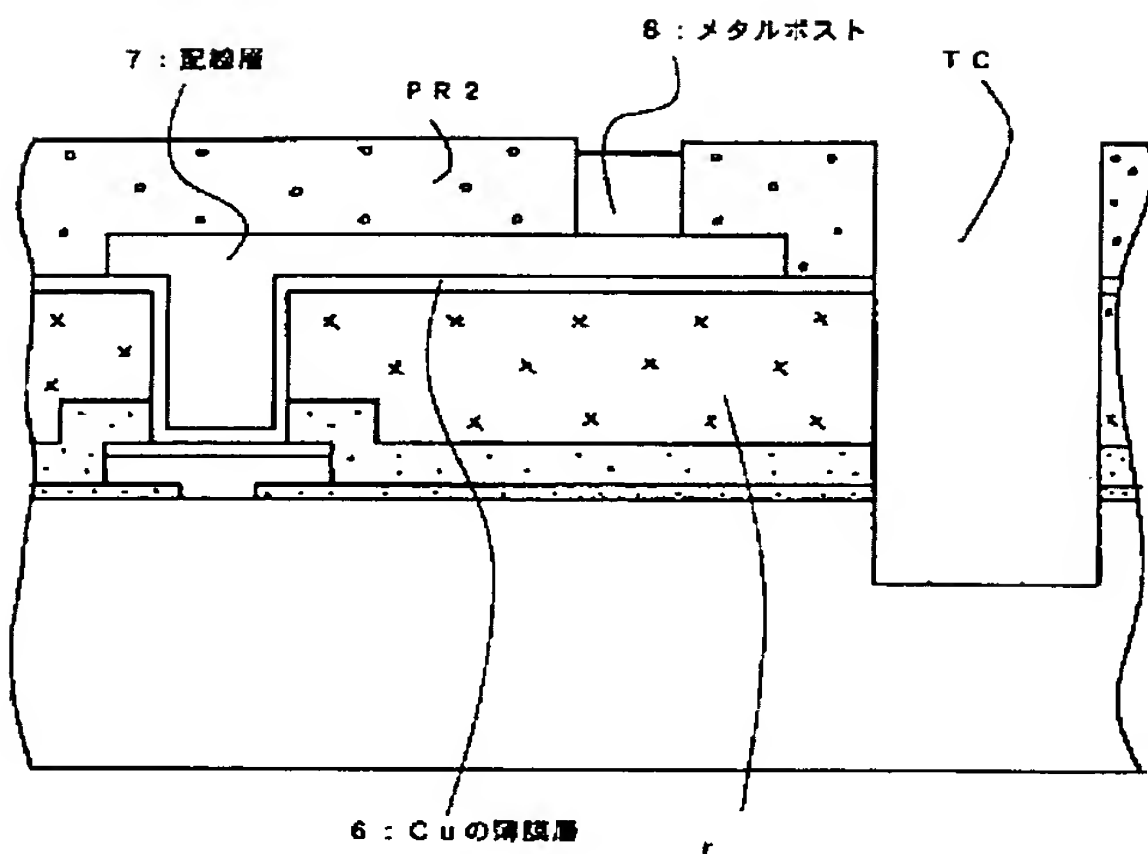
【図 3】



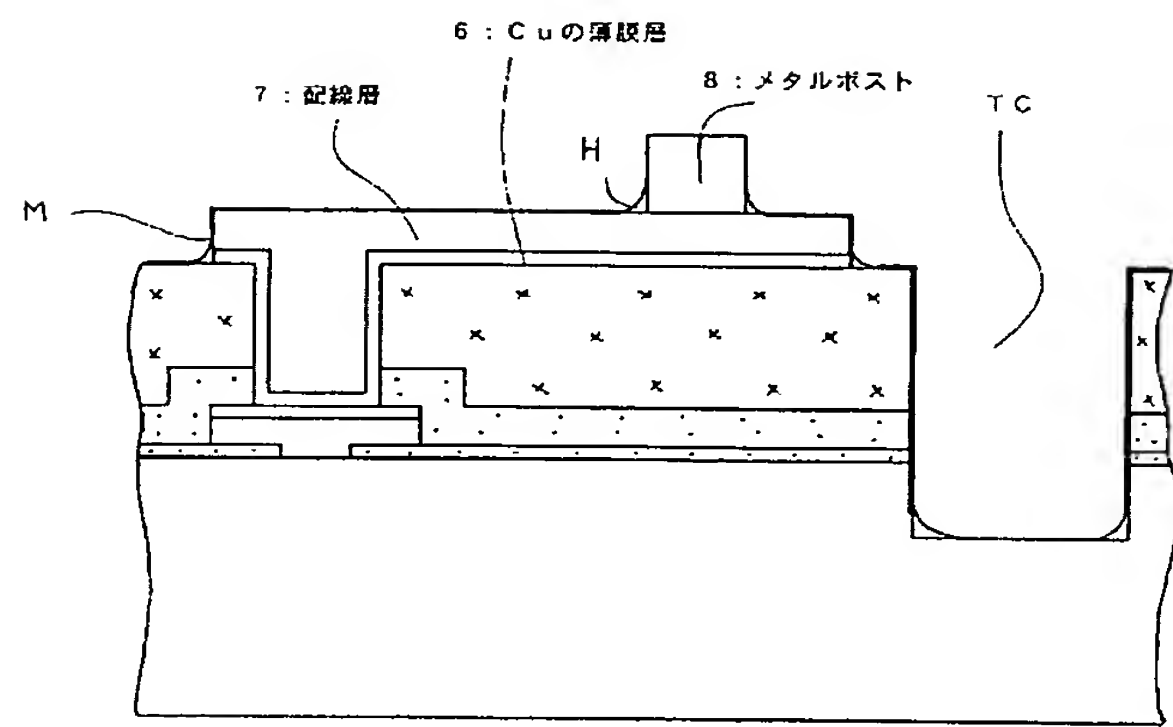
【図 4】



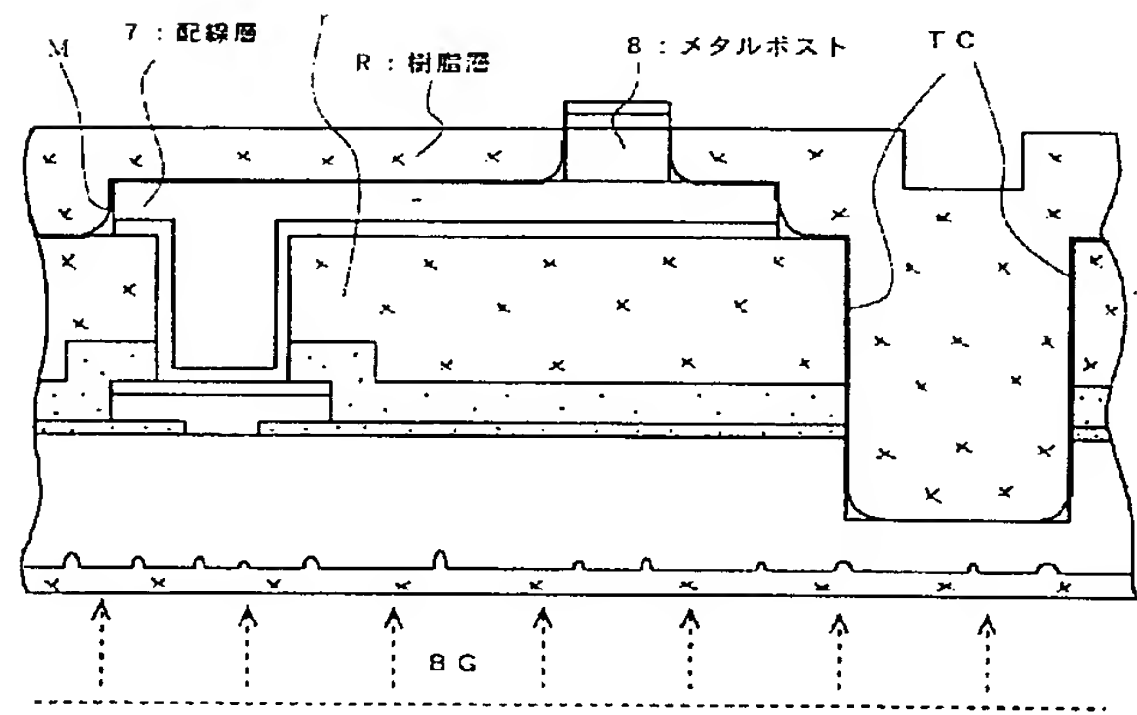
【図 5】



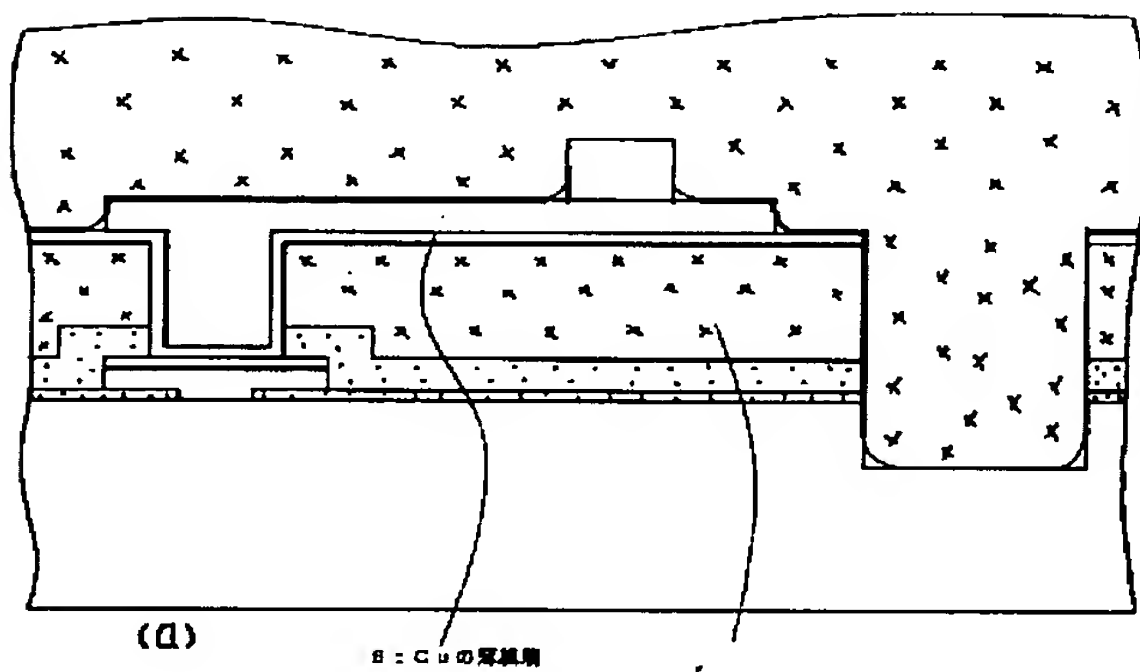
【図 6】



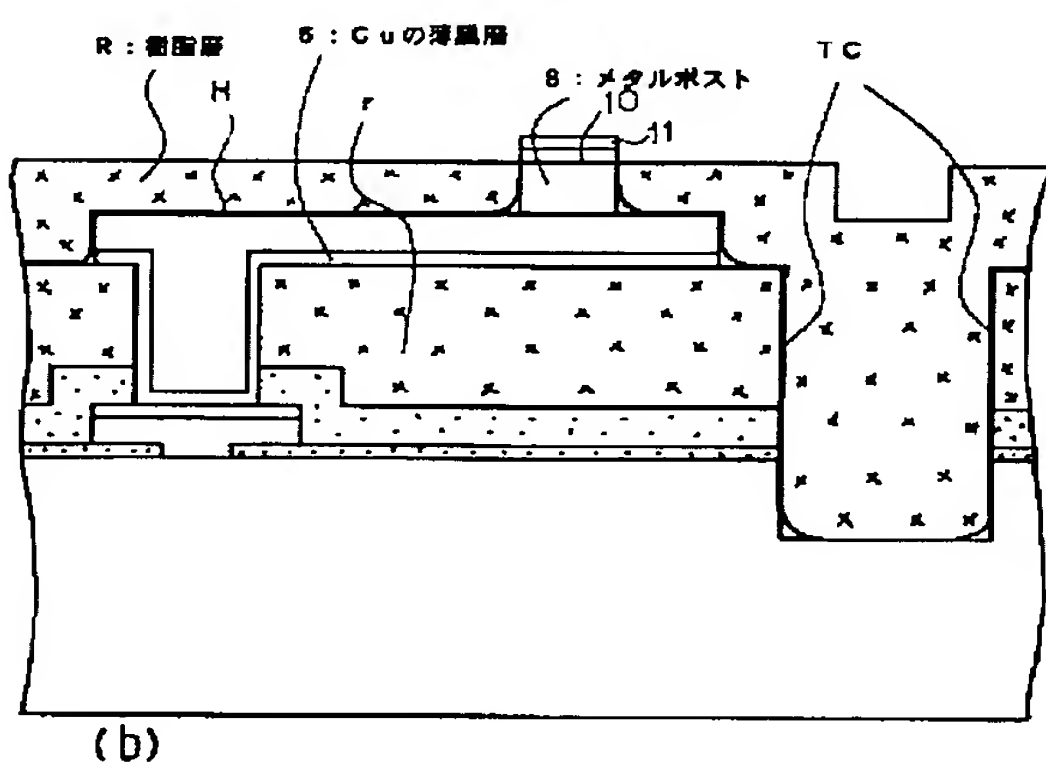
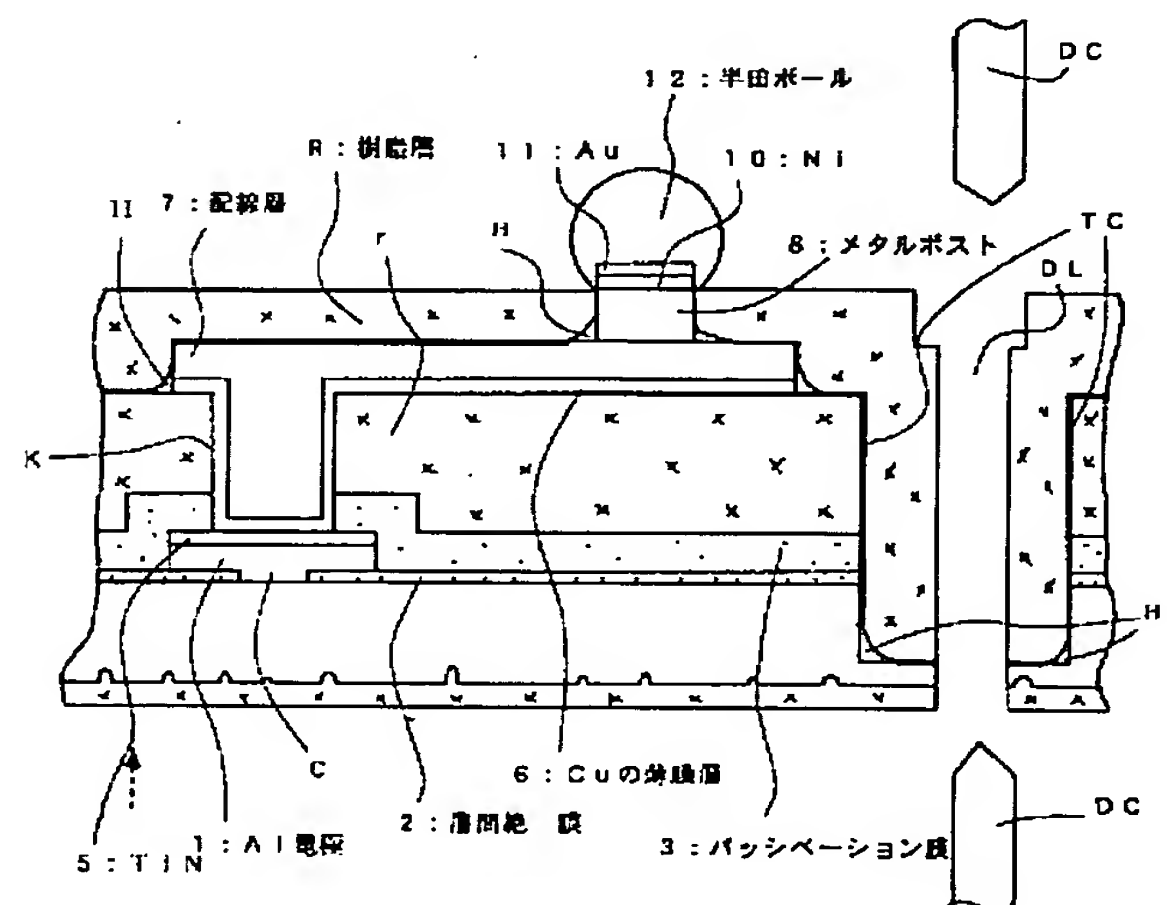
【図 8】



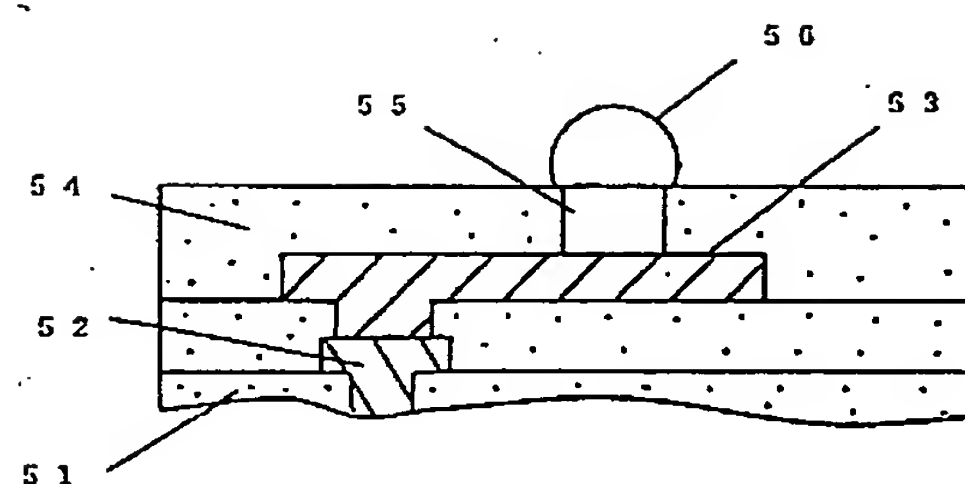
【図 7】



【図 9】

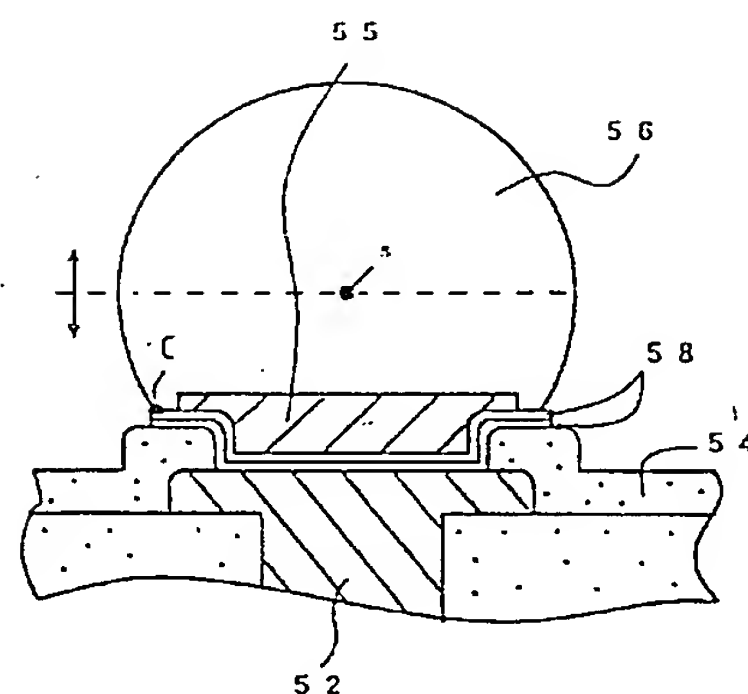


【図10】

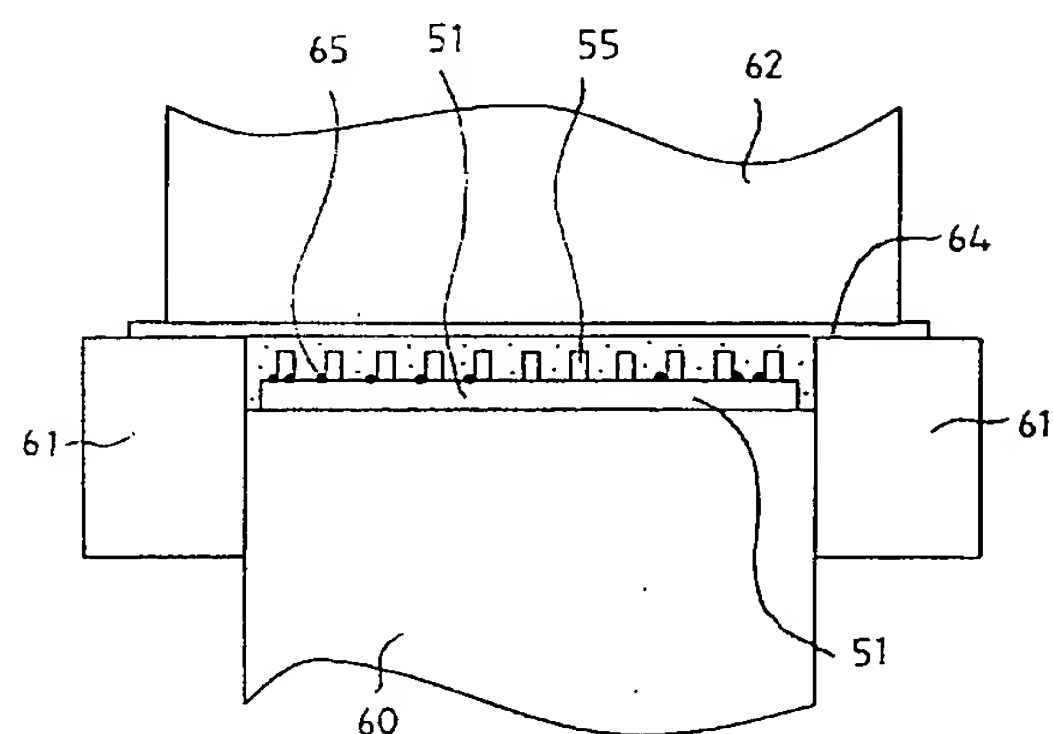


51:チップ
52:Al電極
53:配線層
54:絶縁層
55:メタル・ポスト
56:半田パンプ

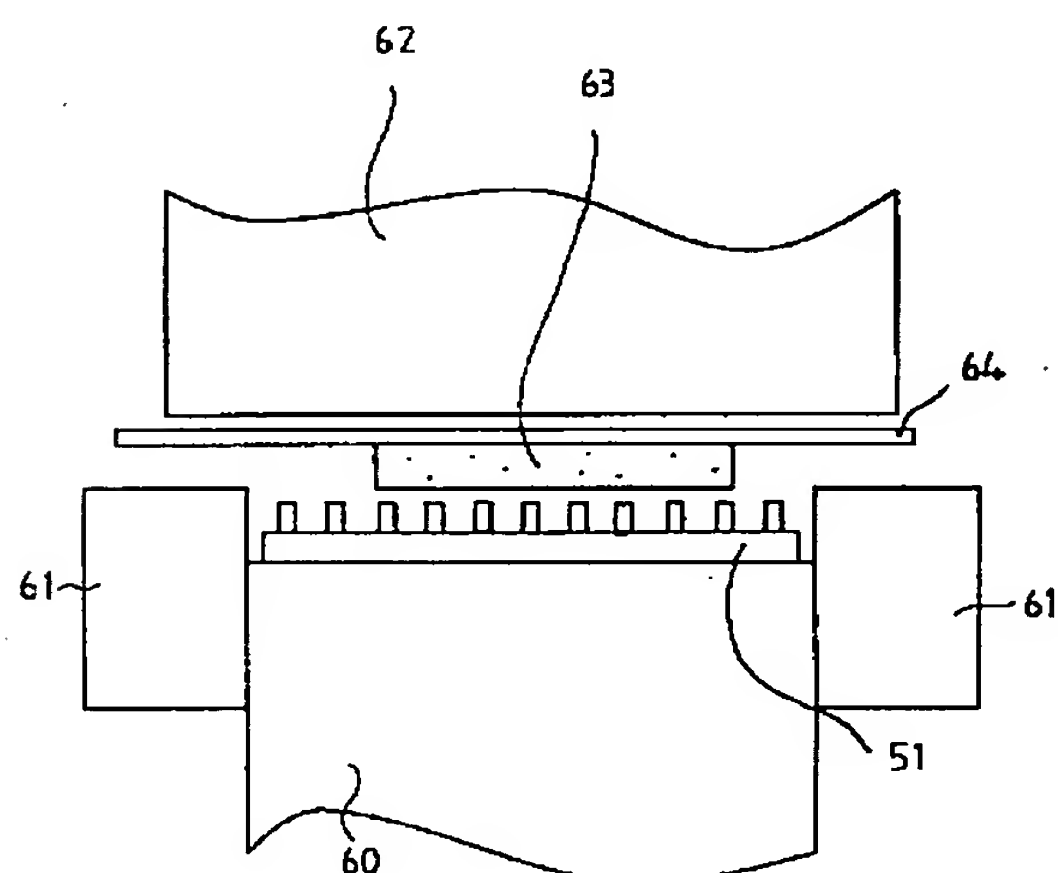
【図11】



【図13】



【図12】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I
H 0 1 L 21/92

テーマコード(参考)

6 0 4 S

(72) 発明者 高尾 幸弘
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(72) 発明者 篠木 裕之
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

Fターム(参考) 4M104 BB02 BB04 BB05 BB09 BB30
DD52 DD53 EE05 EE14 EE17
EE18 HH20
5F033 HH08 HH11 HH33 JJ01 JJ07
JJ08 JJ11 JJ13 KK01 KK08
MM05 MM08 NN01 NN06 NN12
PP15 PP27 PP28 QQ09 QQ10
QQ12 QQ37 QQ42 QQ46 QQ73
QQ74 QQ75 RR04 RR06 RR21
RR22 SS15 SS21 TT04 VV07
XX01 XX18 XX19 XX33